

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-263705

(43)Date of publication of application : 13.10.1995

1017 U.S. PRO
10/020440
12/16/01

(51)Int.Cl.

H01L 29/786
G02F 1/136

(21)Application number : 06-079418

(71)Applicant : SONY CORP

(22)Date of filing : 24.03.1994

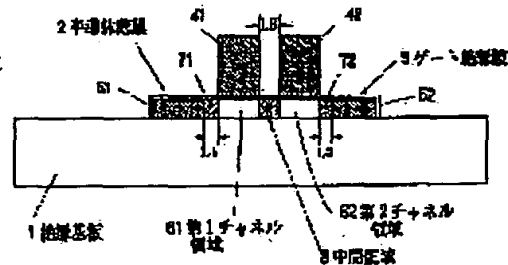
(72)Inventor : KUNII MASABUMI

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To reduce the distance between a pair of gate electrodes by a method wherein an interlayer region, consisting of a low density impurity region only, is provided between the pair of gate electrodes.

CONSTITUTION: A first channel region 61 is provided in alignment with the first gate electrode 41. A first low density impurity region 71 is interposed between the first high density impurity region 51 and the first channel region, and an LDD region is formed. A second channel region 62 is provided in alignment with the second gate electrode 42. An intermediate region 8 is provided continuously between the first channel region 61 and the second channel region 62. The second low density impurity region 72 is interposed between the second channel region 62 and the second high density impurity region 52, and the region 72 functions as an LDD region in the same manner as in the first low density impurity region 71. An intermediate region 8 consists of the third low density impurity region, it has the same conductive type and impurity density as the first and the second low density impurity regions 71 and 72. Also, the intermediate region 8 performs the function same as the LDD region, and it suppresses a leak current.



LEGAL STATUS

[Date of request for examination]

27.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-263705

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 S
		9056-4M		3 1 1 G

審査請求 未請求 請求項の数5 F D (全 9 頁)

(21)出願番号 特願平6-79418

(22)出願日 平成6年(1994)3月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 国井 正文

東京都品川区北品川6丁目7番35号 ソニー株式会社内

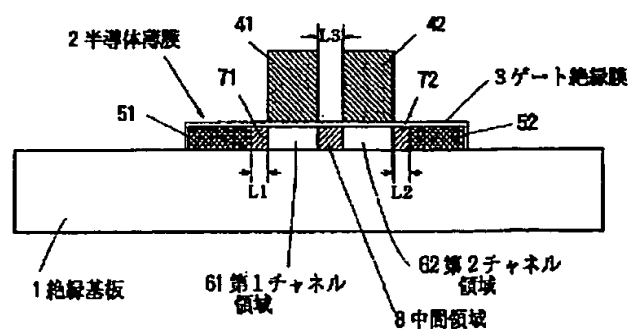
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【目的】 マルチゲートLDD構造を有する薄膜トランジスタの小型微細化を図る。

【構成】 薄膜トランジスタは絶縁基板1に成膜された半導体薄膜2を素子領域とする。第1ゲート電極41及び第2ゲート電極42がゲート絶縁膜3を介して半導体薄膜2に積層されている。半導体薄膜2は複数の領域に区分されており、第1ゲート電極41より外側に位置する第1高濃度不純物領域51と、第1ゲート電極41と整合する第1チャネル領域61と、第1高濃度不純物領域51及び第1チャネル領域61の間に介在する第1低濃度不純物領域71と、第2ゲート電極42に整合する第2チャネル領域62と、第1チャネル領域61及び第2チャネル領域62の間に連続する中間領域8と、第2ゲート電極42より外側に位置する第2高濃度不純物領域52と、第2チャネル領域62及び第2高濃度不純物領域52の間に介在する第2低濃度不純物領域72とを有する。中間領域8は第3の低濃度不純物領域のみからなる。



(2)

【特許請求の範囲】

【請求項1】 半導体薄膜と、絶縁膜を介して該半導体薄膜に重ねられ且つ互いに離間配置された第1ゲート電極及び第2ゲート電極とを有する薄膜トランジスタであって、

前記半導体薄膜は、第1ゲート電極より外側に位置する第1高濃度不純物領域と、第1ゲート電極と整合する第1チャンネル領域と、第1高濃度不純物領域及び第1チャンネル領域の間に介在する第1低濃度不純物領域と、第2ゲート電極に整合する第2チャンネル領域と、第1チャンネル領域及び第2チャンネル領域の間に連続する中間領域と、第2ゲート電極より外側に位置する第2高濃度不純物領域と、第2チャンネル領域及び第2高濃度不純物領域の間に介在する第2低濃度不純物領域とに区分されており、

前記中間領域は第3の低濃度不純物領域のみからなる事を特徴とする薄膜トランジスタ。

【請求項2】 第3の低濃度不純物領域の長さ寸法は、第1低濃度不純物領域及び第2低濃度不純物領域の長さ寸法の合計を超えない事を特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 第1低濃度不純物領域と第2低濃度不純物領域は互いに等しい長さ寸法を有する事を特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】 第1高濃度不純物領域はソース領域として機能し第2高濃度不純物領域はドレイン領域として機能するとともに、第1低濃度不純物領域の長さ寸法は第2低濃度不純物領域の長さ寸法より短い事を特徴とする請求項1記載の薄膜トランジスタ。

【請求項5】 マトリクス配置した画素と、個々の画素を駆動するスイッチング素子とを有するアクティブマトリクス表示装置において、

前記スイッチング素子は、半導体薄膜と、絶縁膜を介して該半導体薄膜に重ねられ且つ互いに離間配置された一対のゲート電極とを有し、

前記半導体薄膜は、両ゲート電極の各々と整合する一対のチャンネル領域と、両ゲート電極より各々外側に位置する一対の高濃度不純物領域と、各チャンネル領域及び対応する高濃度不純物領域の間に介在する各低濃度不純物領域と、一対のチャンネル領域の中間に渡って連続的に形成された低濃度不純物領域とを有している事を特徴とするアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶ディスプレイや密着型イメージセンサ等に用いられる薄膜トランジスタの構造に関する。

【0002】

【従来の技術】 薄膜トランジスタ（以下、TFTと称する）はアクティブマトリクス型の液晶ディスプレイや密

着型イメージセンサ等に応用できる為、近年その開発が活発に行なわれている。特に、半導体薄膜材料として多結晶シリコン（以下、poly-Siと称する）を用いた場合、周辺の駆動回路を表示部やセンサ部と同一の基板上に集積形成できる為注目を集めている。例えば、アクティブマトリクス型液晶ディスプレイの画素をオン／オフ駆動する為のスイッチング素子としてTFTが採用されている。このスイッチング素子は順次液晶画素に画像信号を書き込む為のものであり、1フレームに渡って画像信号を保持する為リーク電流が小さい事が要求される。

【0003】 仮にリーク電流が大きいと液晶画素の輝点欠陥等が多発する。TFTのリーク電流を抑制する為従来から様々な構造が提案され実用に供されている。中でも、チャンネル領域と高濃度不純物領域からなるドレイン領域との間に低濃度不純物領域を有する、所謂LDD（Lightly Doped Drain）構造のTFT（以下、LDD TFTと称する）は、ドレイン端での電界集中を緩和できる事からオフセットゲート構造と同様リーク電流に対する抑制効果が大きい。この為、アクティブマトリクス型液晶ディスプレイ等の回路素子に応用されている。このようなLDD TFTは例えば特公平3-38755号公報に開示されている。又、低濃度不純物領域（LDD領域）をセルフアライメントで形成し高耐圧TFTを実現する方法が、例えば特開平2-135780号公報や特開平4-279033号公報に開示されている。

【0004】 TFTのリーク電流を減少させる別の構造として、1つのTFTに少なくとも2個のゲート電極を設けた、所謂マルチゲート構造が従来から知られており、例えば特開昭58-171860号公報や特開昭58-180063号公報等に開示されている。マルチゲート構造は等価回路的に見ると少なくとも2個のTFTを直列に接続した構成になっている。ドレイン電界が2個のTFTに分配される為、ドレイン端の電界集中を緩和できるので、やはりリーク電流を抑制する事が可能で例えばアクティブマトリクス型液晶ディスプレイの画素スイッチング素子に応用されている。

【0005】 さらにLDD構造とマルチゲート構造の両方の長所を取り入れたマルチゲートLDD構造のTFTが考案されており、例えば特開平4-344618号公報に開示されている。図2に示す様に、マルチゲートLDD構造はシングルゲートのLDD TFTを少なくとも2個直列に接続した構成となっている。マルチゲートLDD構造のTFTは、絶縁基板100の上に成膜された半導体薄膜101を素子領域としている。半導体薄膜101の上にはゲート絶縁膜102を介して一対のゲート電極103、104が形成されている。各ゲート電極103、104の直下には夫々チャンネル領域105、106が設けられる。一方のゲート電極103の外側には

(3)

ソース領域107が位置し、他方のゲート電極104の外側にはドレイン領域108が位置する。これらドレイン領域107及びソース領域108は高濃度不純物領域である。両ゲート電極103, 104の間には接続領域109が位置しており、同じく高濃度不純物領域からなりソース/ドレイン領域として機能する。ソース領域107とチャンネル領域105の間、チャンネル領域105と接続領域109の間、接続領域109とチャンネル領域106の間、チャンネル領域106とドレイン領域108の間には、夫々低濃度不純物領域からなるLDD領域110~113が介在している。これらLDD領域の長さ寸法は、例えば1 μ m程度である。

【0006】

【発明が解決しようとする課題】従来のマルチゲートLDD構造では、一对のチャンネル領域105, 106の間に接続領域109が介在している。この接続領域109は高濃度不純物領域であり、一对のTFTのソース/ドレイン領域として機能する。さらに接続領域109と一对のチャンネル領域105, 106の間には、各々LDD領域111, 112が介在している。リーク電流を抑制する為、これらLDD領域111, 112の長さ寸法を一定以上に保つ必要がある。この様に従来のマルチゲートLDD構造では、一对のチャンネル領域105, 106の間に、接続領域109及びLDD領域111, 112が直列的に介在する為、一对のゲート電極103, 104の間隔寸法が増大しTFT全体として占有する素子面積が大きくなる。従って、このTFTを例えばHDTV等の超高精細液晶表示装置の画素スイッチング素子に用いると、占有面積が大きい為画素部の開口率が低下するという課題があった。本発明は以上の課題を解決するものであり、その目的は従来のマルチゲートLDD構造の長所を失なう事なく微細化が可能な薄膜トランジスタの構造を提供する事にある。

【0007】

【課題を解決するための手段】本発明にかかる薄膜トランジスタは基本的な構成として、半導体薄膜と、絶縁膜を介して該半導体薄膜に重ねられ且つ互いに離間配置された第1ゲート電極及び第2ゲート電極とを有する。前記半導体薄膜は第1ゲート電極より外側に位置する第1高濃度不純物領域と、第1ゲート電極と整合する第1チャンネル領域と、第1高濃度不純物領域及び第1チャンネル領域の間に介在する第1低濃度不純物領域と、第2ゲート電極に整合する第2チャンネル領域と、第1チャンネル領域及び第2チャンネル領域の間に連続する中間領域と、第2ゲート電極より外側に位置する第2高濃度不純物領域と、第2チャンネル領域及び第2高濃度不純物領域の間に介在する第2低濃度不純物領域とに区分されている。本発明の特徴事項として、前記中間領域は第3の低濃度不純物領域のみからなる。好ましくは、前記第3の低濃度不純物領域の長さ寸法は、第1低濃度不純物領域及び第

2低濃度不純物領域の長さ寸法の合計を超えない。本発明の一態様によれば、薄膜トランジスタは対称的な構造を有しており、第1低濃度不純物領域と第2低濃度不純物領域は互いに等しい長さ寸法を有する。他の態様によれば、本薄膜トランジスタは非対称的な構造を有しており、第1低濃度不純物領域の長さ寸法は第2低濃度不純物領域の長さ寸法より短い。この場合、第1高濃度不純物領域はソース領域として機能し、第2高濃度不純物領域はドレイン領域として機能する。本発明にかかる薄膜トランジスタは例えばアクティブマトリクス表示装置に適用でき、マトリクス配置した画素を個々に駆動する為のスイッチング素子として用いる事ができる。この場合、スイッチング素子は半導体薄膜と、絶縁膜を介して該半導体薄膜に重ねられ且つ互いに離間配置された一对のゲート電極とを有している。前記半導体薄膜は、両ゲート電極の各々と整合する一对のチャンネル領域と、両ゲート電極より各々外側に位置する一对の高濃度不純物領域と、各チャンネル領域及び対応する高濃度不純物領域の間に介在する各低濃度不純物領域と、一对のチャンネル領域の中間に渡って連続的に形成された低濃度不純物領域とを有している。

【0008】

【作用】本発明にかかる薄膜トランジスタは、少なくとも一对のゲート電極を備えておりそれらの直下にチャンネル領域が形成される。従って従来のマルチゲート構造と同様に2個のTFTが直列接続した構成となっておりリーク電流を抑制する事が可能である。両チャンネル領域の間に連続する中間領域は低濃度不純物領域からなり従来のLDD構造と同様にリーク電流を抑制する事ができる。即ち、本発明にかかる薄膜トランジスタはマルチゲート構造とLDD構造の長所を兼ね備えている。さらに、上述した中間領域は低濃度不純物領域のみからなり、従来のマルチゲートLDD構造の様に高濃度不純物領域を含んでいない。従って、一对のゲート電極間距離を縮小でき、デバイス寸法の小型微細化が達成できる。

【0009】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる薄膜トランジスタの第1実施例を示す模式的な断面図である。本薄膜トランジスタはnチャンネル型であり、例えばアクティブマトリクス型液晶表示装置の画素駆動用スイッチング素子に用いられる。但し、本発明はこれに限られるものではなくpチャンネル型にも適用可能である。又、画素駆動用スイッチング素子ばかりでなく、アクティブマトリクス型液晶表示装置の周辺回路部あるいは駆動回路部を構成する素子にも用いる事ができる。又、密着型イメージセンサの駆動回路素子に用いる事もできる。図示する様に、本薄膜トランジスタは石英等からなる絶縁基板1の上に成膜された半導体薄膜2を素子領域として用いる。半導体薄膜2は例えばpoly-Si等の多結晶半導体

(4)

からなる。半導体薄膜2の上にはゲート絶縁膜3を介して第1ゲート電極41及び第2ゲート電極42が積層されている。これら一対のゲート電極41、42は互いに離間配置されている。

【0010】半導体薄膜2は複数の領域に区分されている。即ち、第1ゲート電極41より外側に第1高濃度不純物領域51が位置しており、例えば、薄膜トランジスタのソース領域として機能する。第1ゲート電極41と整合して第1チャンネル領域61が設けられている。第1高濃度不純物領域51及び第1チャンネル領域の間に第1低濃度不純物領域71が介在しておりLDD領域となる。この第1低濃度不純物領域71は第1高濃度不純物領域51と同一導電型の不純物をそれより低濃度で拡散したものである。第2ゲート電極42に整合して第2チャンネル領域62が設けられている。第1チャンネル領域61及び第2チャンネル領域62の間に連続して中間領域8が設けられている。第2ゲート電極42より外側に第2高濃度不純物領域52が設けられており、例えば薄膜トランジスタのドレイン領域として機能する。第2チャンネル領域62及び第2高濃度不純物領域52の間に第2低濃度不純物領域72が介在しており、第1低濃度不純物領域71と同様にLDD領域として機能する。

【0011】本発明の特徴事項として、前記中間領域8は第3の低濃度不純物領域からなる。これは、第1及び第2低濃度不純物領域71、72と同一導電型であり、好ましくは同一不純物濃度を有している。この中間領域8もLDD領域と同様の機能を有し、リーク電流の抑制効果がある。ここで、第1低濃度不純物領域71の長さ寸法を L_1 とし、第2低濃度不純物領域72の長さ寸法を L_2 とすると、第3の低濃度不純物領域の長さ寸法 L_3 は $L_3 \leq L_1 + L_2$ の条件を満たす様に設定される。図示の例では $L_1 = 1 \mu m$ に設定され、 $L_2 = 1 \mu m$ に設定され、 $L_3 = 2 \mu m$ に設定されている。又チャンネル領域61、62の幅寸法 W は $2 \mu m$ に設定されている。但し、本発明はこれらの寸法数値に限られるものではない。一般に、中間領域8の長さ寸法を、第1低濃度不純物領域71及び第2低濃度不純物領域72の長さ寸法の合計を超えない様に設定する事により、薄膜トランジスタのリーク電流を低く抑えたままオン電流を高くする事が可能である。

【0012】図3は、本発明にかかる薄膜トランジスタをアクティブマトリクス型液晶表示装置の画素スイッチング素子として用いた場合における模式的な平面パターンを概念的に表わしている。図示する様にスイッチング素子30は、信号線31とゲート線32の交差部に形成される。スイッチング素子のソース領域33には信号線31が接続し、ドレイン領域には対応する画素電極34が接続している。このスイッチング素子30は図1に示した構造を有する薄膜トランジスタであり、一対のゲート電極35、36の間に、中間領域37を備えている。中

間領域37は一対のゲート電極35、36をマスクとしてセルフアライメントで不純物を低濃度に注入できる為、その長さ寸法 L_3 を $1 \mu m$ 程度まで縮小化できる。この為、スイッチング素子の小型微細化が可能となり、その分画素電極34の面積を大きくとれる。従って、画素開口率の改善につながる。

【0013】図4は、従来のマルチゲートLDD構造を有する薄膜トランジスタを用いた画素駆動用のスイッチング素子を表わしている。理解を容易にする為、図3の構成と対応する部分には対応する参照番号を付してある。図示する様に、このマルチゲートLDD構造を有する薄膜トランジスタ300は、一対のゲート電極35、36の間に接続領域370を有している。この接続領域370は中央の高濃度不純物領域と両側の低濃度不純物領域を含んでおり、その長さ寸法 L_3 は $7 \mu m$ 程度に及ぶ。フォトリソグラフィ処理におけるアライメント精度の制約から、接続領域370の長さ寸法を $7 \mu m$ 以下に縮小する事は實際上困難である。この結果、スイッチング素子の全体寸法が大きくなり、その分画素電極34の占有面積が犠牲になり、画素開口率の低下をもたらす。

【0014】なお本発明にかかる構造を採用しても、従来のマルチゲートLDD構造に比較して特性が劣る事はない。一般に、LDD TFTのオン電流はチャンネル長及びチャンネル幅が一定の場合、LDD領域の長さ寸法及び不純物濃度で決定される。この点に鑑み、前述した $L_3 \leq L_1 + L_2$ の条件が満たされていれば、オン電流が従来に比較して低下する事はない。さらにリーク電流に関しても、一般にLDD TFTの場合ドレイン端におけるLDD領域の長さ寸法及び不純物濃度で決定される。従って中間領域の長さ寸法 L_3 が、両側のLDD領域の長さ寸法の合計 $L_1 + L_2$ に比べて小さい場合でもリーク電流が増大する惧れはない。又、従来のマルチゲートLDD構造と同様、画素駆動用のスイッチング素子として応用した場合問題となる輝点欠陥に対しても優れた冗長性を備えている。即ち、一対のチャンネルのうち一方に電流リーク故障等が発生した場合でも、他方が正常に機能し電流リークを抑制する。

【0015】次に、図5～図8の工程図を参照して、本発明にかかる薄膜トランジスタの具体的な製造方法を詳細に説明する。先ず最初に図5に示した工程(A)において、石英基板11上に、LPCVD法で $poly-Si$ 薄膜12を約 $75 nm$ の厚みで成膜する。必要ならばこの後 Si^{+} イオンをインプラントレーションで打ち込み $poly-Si$ 薄膜12を一旦非晶質化し、続いて、 $600^{\circ}C$ 程度の温度で炉アニールを行なう事により $poly-Si$ 薄膜12を大粒径化する。なお、最初から非晶質シリコンを形成する場合にはプラズマ化学気相成長法(PCVD法)を用いて $150 \sim 250^{\circ}C$ 程度の温度で成膜すれば良い。この後同様に炉アニールを行なって大

(5)

粒径化を図れば良い。さらに必要に応じてレーザアニールを施す事により結晶性を改善し、トランジスタ特性を向上させる事も可能である。次に、工程(B)に移り、この様にして得られたpoly-Si薄膜12を素子領域のボタンにエッチングする。続いてpoly-Si薄膜12を酸化し、ゲート酸化膜13を約60nmの厚みで形成する。なお、ゲート酸化膜13は高温成膜されたHTO(High Temperature Oxide)を用いる事が可能である。あるいはゲート酸化膜13をPCVD法で成膜する事も可能である。次に工程(C)において、必要に応じB⁺イオンを $1\sim 8\times 10^{12}/\text{cm}^2$ 程度のドーズ量で打ち込み、薄膜トランジスタの閾値電圧を予め制御しておく。

【0016】次に、図6に示した工程(D)に移り、必要に応じゲート酸化膜13の上にLPCVD法で窒化シリコン膜(Si₃N₄膜)14を約10~20nmの厚みで成膜する。場合によってはSi₃N₄膜14の表面を酸化し、SiO₂膜を約1~2nmの厚みで形成する。この様な3層構造を有するゲート絶縁膜は十分なゲート耐圧を確保でき、信頼性を向上させる事が可能になる。なお本例ではSi₃N₄膜14を成膜する前に閾値電圧調整用のB⁺イオンを打ち込んでいたが、Si₃N₄膜14を形成した後B⁺イオンの注入を行なっても良い。次に工程(E)で、燐をドーピングした低抵抗poly-Si膜を約350nmの厚みで成膜し、所定の形状にパタニングして一対のゲート電極15を形成する。なおゲート電極15の構成材料としては低抵抗poly-Siに代え、Al, Ti, Cr, Mo, W, Ta等の金属材料や、WSi, MoSi, TiSi等の金属シリサイド材料を用いる事ができる。低抵抗poly-Siを成膜する場合には、ノンドープのpoly-Si膜を成膜しPClO₃ガスから燐を拡散させる方法がある。あるいはPClO₃ガスの代わりに固体のPSG膜を用いて燐拡散を行なう方法がある。さらには、LPCVD法を用いSiH₄ガスとPH₃ガスの混合気体を熱分解させ、ドーブtpoly-Siを成膜する方法が挙げられる。何れの方法を用いても良いが、本実施例では最初の方法によった。本実施例ではゲート電極15を所定の形状にパタニングして、チャンネル長L=2.5μm及びチャンネル幅W=3μmとなる様に設定した。なおここでいうチャンネル長は各ゲート電極15の直下に位置するチャンネル領域の長さ寸法を示す。次に工程(F)でSi₃N₄膜14を各ゲート電極15の周囲に沿ってカッティングする。続いて工程(G)に進み、低濃度不純物領域を形成する。ゲート電極15をマスクとしてセルフアライメントでイオンインプランテーションにより不純物イオンを打ち込む事により、3個の低濃度不純物領域16が得られる。nチャネル型薄膜トランジスタの場合には、例えばP⁺イオンを $0.1\sim 10\times 10^{13}/\text{cm}^2$ 程度のドーズ量で注入する。これに代えてAs⁺イオンを打ち込ん

でも良い。

【0017】次に図7に示す工程(H)に移行し、各ゲート電極15の側面から1μmの幅をLDD領域として残す様にレジスト17を形成する。このレジスト17をマスクとしてAs⁺イオンを $1\sim 3\times 10^{15}/\text{cm}^2$ のドーズ量で注入し、先に形成した低濃度不純物領域の一部を高濃度不純物領域に転換する。この結果、ソース領域18、LDD領域19、中間領域20、LDD領域21、ドレイン領域22が形成される。図示する様に、ソース領域18及びドレイン領域22は高濃度不純物領域であり、LDD領域19、21及び中間領域20は低濃度不純物領域である。なおAs⁺イオンに代えてP⁺イオンを高濃度で注入しても良い。pチャネル型薄膜トランジスタの場合には、B⁺イオンを打ち込んで形成する。なお、LDD領域19、21の長さ寸法は1μmに限られるものではないが、リーク電流低減の要求が厳しい画素駆動用スイッチング素子では、LDD長は0.2μm以上が望ましい。一方中間領域20の長さ寸法はソース端及びドレイン端におけるLDD長の合計よりも等しいか短くする。この様にする事によってリーク電流を低く抑えたままオン電流を高くとる事ができる。次に工程(I)に移り、TFT23の上にLPCVD法で第1PSG膜24を約600nmの厚みで成膜する。続いて1000℃、10分間の窒素雰囲気下アニールを行なってソース領域18及びドレイン領域22を活性化させる。次いで工程(J)において第1PSG膜24にコンタクトホール25を開孔しソース領域18の一部を露出させる。

【0018】次に図8に示す工程(K)に進み、金属アルミニウムを約600nmの厚みで成膜し所定の形状にパタニングして信号電極26とする。さらにこの上に第2PSG膜27を約400nmの厚みで成膜する。続いて工程(L)に移り、第2PSG膜の上にPCVD法で窒化シリコン膜P-SiN_x膜28を約100nmの厚みで形成する。P-SiN_x膜28は水素を通さない為、成膜後にアニールする事で第1PSG膜24及び第2PSG膜27に含有された水素をpoly-Si薄膜12中に拡散させる。これにより薄膜トランジスタ23の水素化処理を効率的に行なえる。水素化によりpoly-Si薄膜12の欠陥密度が減少し、欠陥に起因するリーク電流を低減化できる。最後に工程(M)において、P-SiN_x膜28をエッチングで除去した後、薄膜トランジスタ23のドレイン領域22に連通するコンタクトホールを開孔する。続いてITO等からなる透明導電膜を約150nmの厚みで形成し、所定の形状にパタニングして画素電極29に加工する。以上により、本発明にかかる薄膜トランジスタを用いた画素駆動用スイッチング素子が完成する。

【0019】図9は、本発明にかかる薄膜トランジスタの第2実施例を示す模式的な断面図であり、図1に示し

(6)

た第1実施例と対応する部分には対応する参照番号を付して理解を容易にしている。本実施例ではドレイン領域52側に位置するLDD領域72の長さ寸法L2が1.5 μ mに設定され、ソース領域51側に位置するLDD領域71の長さ寸法L1が0.5 μ mに設定され、中間領域8の長さ寸法L3が2 μ mに設定されている。ドレイン領域側のLDD長L2を相対的に長くする事によってリーク電流をより小さく抑える事を可能にしている。ドレイン端の方向が決まっている場合や、ドレイン端に入る静電ダメージ等に対して補強したい場合は有効である。

【0020】図10は、本発明にかかる薄膜トランジスタの第3実施例を示す模式的な断面図であり、図1に示した第1実施例と対応する部分には対応する参照番号を付して理解を容易にしている。本実施例では、L1=L2=1.0 μ mで、L3=1.0 μ mとなっている。中間領域8の長さ寸法L3が第1実施例に比較して短くなっている。この様にすると薄膜トランジスタのデバイスサイズを極めて小さくできるので、例えばHDTV用等の超高精細液晶表示装置に組み込まれる画素駆動用スイッチング素子として好適である。なお、上述した実施例は全てnチャネル型を例にとって説明したが、pチャネル型薄膜トランジスタにも適用できる事は勿論である。又開示した実施例の様なプレーナ型のみならず、正スタガ型、逆スタガ型の何れの構造に対しても適用可能である。

【0021】最後に図11は、本発明にかかる薄膜トランジスタを画素駆動用スイッチング素子として利用した、アクティブマトリクス型液晶表示装置の一例を示す模式的な部分断面図である。液晶表示装置は所定の間隙を介して対向配置された一对の基板11、201の間に液晶層202を挟持したフラットパネル構造を有している。絶縁基板11の表面には、図5～図8を参照して説明した製造方法により集積形成された薄膜トランジスタ23及び画素電極29が設けられている。一方対向基板201の内表面には対向電極203が形成されている。この対向電極203と画素電極29の間に液晶画素が規定される。マトリクス配置した個々の液晶画素は、対応する薄膜トランジスタ23からなるスイッチング素子により駆動される。

【0022】

【発明の効果】以上説明した様に、本発明によれば、一

対のゲート電極の間に低濃度不純物領域のみからなる中間領域を設ける事により、従来のマルチゲートLDD構造が有する優れた特徴を失わずに、薄膜トランジスタの小型微細化が可能になる。HDTV等に代表される様な超高精細液晶表示装置では画素面積自体が微細化されていく傾向がある。本発明により微細化された薄膜トランジスタを画素駆動用のスイッチング素子として用いると画素開口率の改善が可能になり、画素部の微細化が進み画素面積に対してスイッチング素子の占有面積の割合が大きくなればなるほど顕著な効果が得られる。

【図面の簡単な説明】

【図1】本発明にかかる薄膜トランジスタの第1実施例を示す断面図である。

【図2】従来の薄膜トランジスタを示す断面図である。

【図3】本発明にかかる薄膜トランジスタの平面図である。

【図4】従来の薄膜トランジスタの平面図である。

【図5】本発明にかかる薄膜トランジスタの製造方法を示す工程図である。

【図6】同じく製造方法を示す工程図である。

【図7】同じく製造方法を示す工程図である。

【図8】同じく製造方法を示す工程図である。

【図9】本発明にかかる薄膜トランジスタの第2実施例を示す断面図である。

【図10】本発明にかかる薄膜トランジスタの第3実施例を示す断面図である。

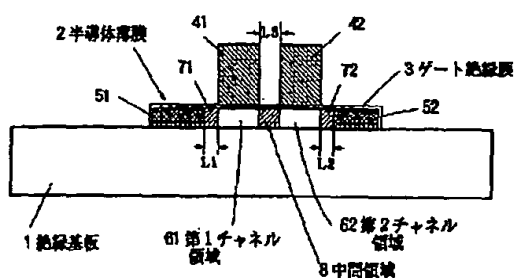
【図11】本発明にかかる薄膜トランジスタをスイッチング素子として利用したアクティブマトリクス型液晶表示装置の一例を示す部分断面図である。

【符号の説明】

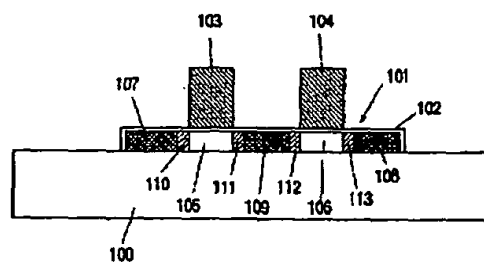
- 1 絶縁基板
- 2 半導体薄膜
- 3 ゲート絶縁膜
- 8 中間領域
- 41 ゲート電極
- 42 ゲート電極
- 51 第1高濃度不純物領域
- 52 第2高濃度不純物領域
- 61 第1チャネル領域
- 62 第2チャネル領域
- 71 第1低濃度不純物領域
- 72 第2低濃度不純物領域

(7)

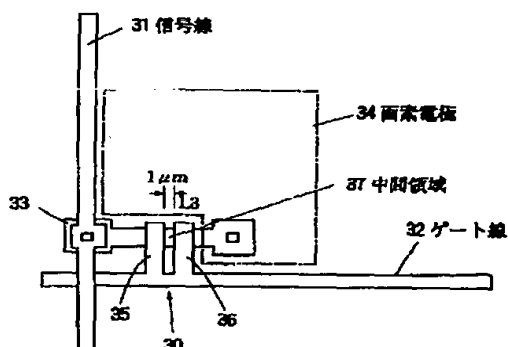
【図1】



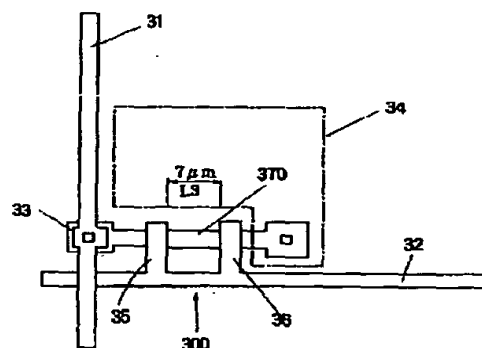
【図2】



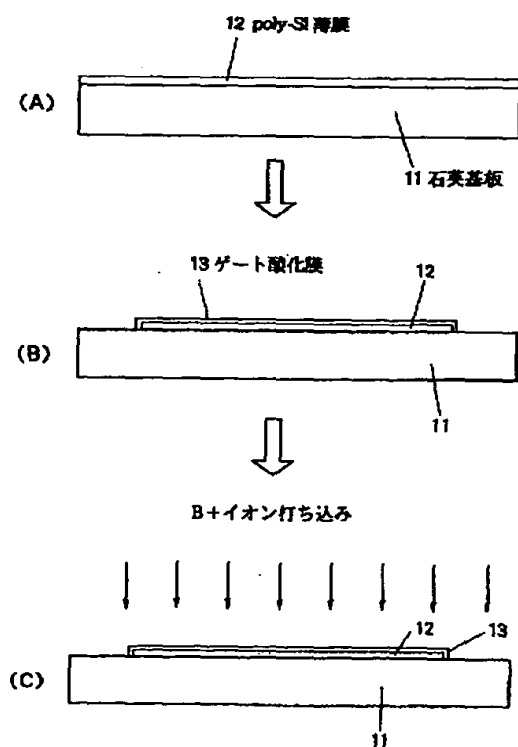
【図3】



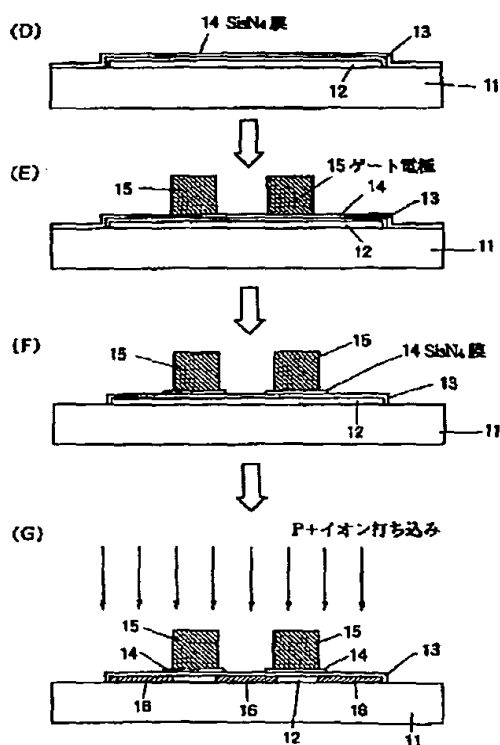
【図4】



【図5】

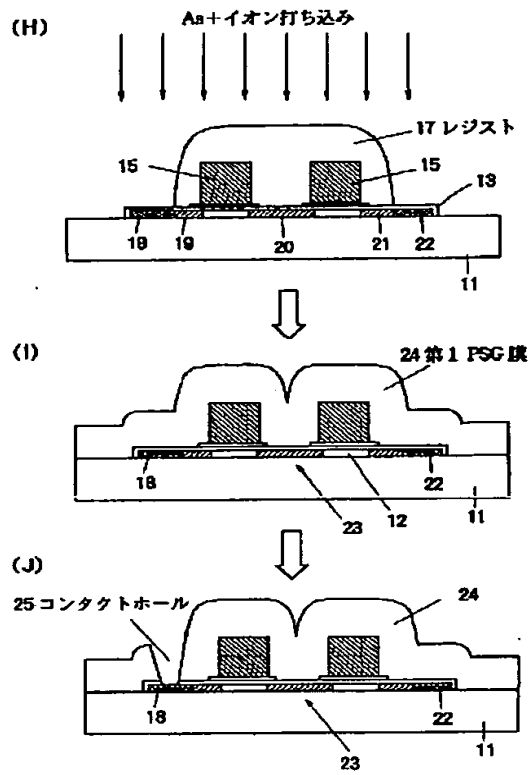


【図6】

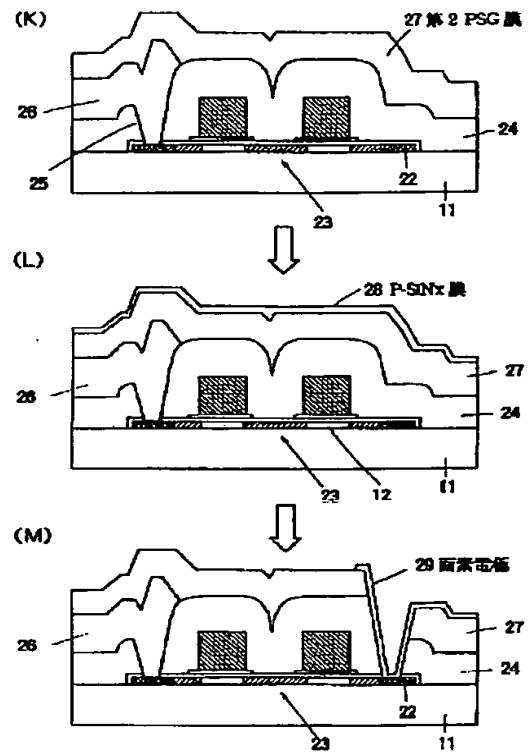


(8)

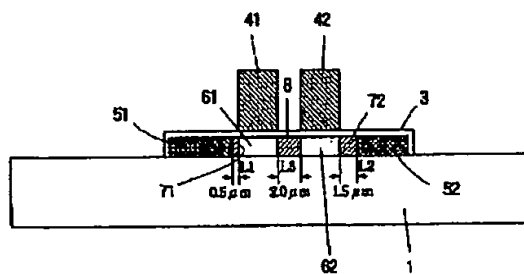
【図7】



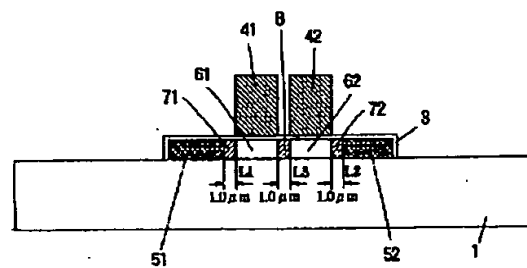
【図8】



【図9】



【図10】



(9)

【図11】

